

T-O 2 E-D 0581

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許公開公報番号

特開平8-316421

(43) 公開日 平成8年(1996)11月29日

(5) Int.Cl.	識別記号	内部整理番号	F 1	H	技術表示箇所
H 01 L 27/04		H 01 L 27/04		H	
21/822		21/76		S	
21/76		27/06		3 1 A	

審査請求 有 請求項の数1 0 L (全 4 頁)

(21) 出願種号 特願平7-124881

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 永井 隆行

(74) 代理人 井理士 京本 直樹 (外 2 名)

(22) 出願日 平成7年(1995)5月24日

(75) 本発明の範囲

【特許請求の範囲】
【請求項1】 一導電型半導体基板の一主面に形成して隙接する第1および第2の素子形成領域のそれぞれを素子分離するフィールド絶縁膜と、前記フィールド絶縁膜の下部に設けた一導電型のガードリング層と、前記第1の素子形成領域の前記半導体基板の表面上に形成した逆導電型の深い不純物濃度逆偏置層および前記低不純物濃度偏置層と、前記ガードリング層と隣接する浅い高不純物濃度逆偏置層からなる2重偏置層構造と、前記第2の素子形成領域の前記半導体基板の表面上に形成した一導電型の高不純物濃度逆偏置層とを有することを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0 0 0 1】

【産業上の利用分野】本発明は、半導体集積回路装置に關し、特に保護回路用素子に関する。

【0 0 0 2】

【従来の技術】図2は従来の保護オーバン・ファ素子の一例を示す半導体チップの断面図である。

【0 0 0 3】

高圧系

(電源電圧10V~)では図2に示すように、p型シリコン基板1の表面に設けて素子形成領域を区画するフィールド絶縁膜2およびフィールド絶縁膜2の下部に設けたp型のガードリング層3と、素子形成領域の表面に形成したゲート酸化膜4と、ゲート酸化膜4の上に選択的に形成したゲート電極11と、このゲート電極11とフィールド絶縁膜2をマスクとして素子形成領域に不純物をイオン注入して形成した深いn+型偏置層6およびこのn+型偏置層6内に設けた浅いn+型偏置層7との2重偏置層構造からなるソース・ドレイン領域と、ゲート電極11を含む表面に設けた局間絶縁膜8と、層間絶縁膜8に設けたコントロールホールのn+型偏置層6に接続して形成したドライン電極12およびソース電極13を有して構成される。

【0 0 0 4】

この構成は、ロジック回路用の高圧系MOSトランジスタと同じであり、図3の等価回路に示すように、ゲート電極を基板電位と同電位にすることでオーバ・バイアスを用いた。

【0 0 0 5】

このオーバ・バイアスを保護素子として使用する場合、その動作を簡略示す次のようになる。

【0 0 0 6】

(1) ドライン電極に高電圧バ尔斯が印加されるとゲート電極の電位を引き上げる。

【0 0 0 7】

(2) ドライン偏置層のジャンクションショット

ダイオードがブレイクダウンを起こす。

【0 0 0 8】

(3) 発生した電子・ホール対のホールが

ゲート電極下の電位を引き上げる。

【0 0 0 9】

(4) 寄生n-p-n型バイポーラトランジ

タBがオンすることでブレイクダウン後のオーバ・低抵抗を低下することができる。

【0 0 1 0】

この場合、電流はドライン抵抗RD、ソーラス抵抗RSを介して流れたり、ドライン低抵抗RD、ソーラス抵抗RSが発熱する現象が起きた。

【発明が解決しようとする課題】この従来の半導体集積回路装置では、保護回路用素子の構造が内部ロジック回路と同じであるため、その耐圧も同じであった。また、ソース・ドレイン領域のn-型偏置層の濃度が低く、ドレイン偏置およびソースが薄い場合に寄生n-p-n型バイポーラトランジスタがオンすることで、過電流が流れ、ドレン領域およびソース領域の発熱により、ジャンクション破壊に至るという問題があつた。

【0 0 1 1】

この発明の目的は、内部回路集積回路装置における保護素子を有する半導体集積回路装置を提供することである。

【0 0 1 2】

【課題を解決するための手段】本発明の半導体集積回路装置は、一導電型半導体基板の正面に形成して隣接する第1および第2の素子形成領域のそれぞれを素子分離するフィールド絶縁膜と、前記フィールド絶縁膜の下部に設けた一導電型のガードリング層と、前記第1の素子形成領域の前記半導体基板の表面に形成した逆導電型の深い不純物濃度逆偏置層および前記低不純物濃度偏置層と、前記ガードリング層と隣接する浅い高不純物濃度逆偏置層からなる2重偏置層構造と、前記第2の素子形成領域の前記半導体基板の表面に形成した一導電型の高不純物濃度逆偏置層とを有することを特徴とする半導体集積回路装置。

【0 0 1 3】

本発明の目的は、内部回路集積回路装置における保護素子を有する半導体集積回路装置を提供することである。

【0 0 1 4】

【課題を解決するための手段】本発明の半導体集積回路装置は、一導電型半導体基板の正面に形成して隣接する第1および第2の素子形成領域のそれぞれを素子分離するフィールド絶縁膜と、前記フィールド絶縁膜の下部に設けた一導電型のガードリング層と、前記第1の素子形成領域の前記半導体基板の表面に形成した逆導電型の深い不純物濃度逆偏置層および前記低不純物濃度偏置層と、前記ガードリング層と隣接する浅い高不純物濃度逆偏置層からなる2重偏置層構造と、前記第2の素子形成領域の前記半導体基板の表面に形成した一導電型の高不純物濃度逆偏置層とを有する。

【0 0 1 5】

【実施例】次に、本発明について図面を参照して説明する。

【0 0 1 6】

図1は本発明の一実施例を示す半導体チップの断面図である。

【0 0 1 7】

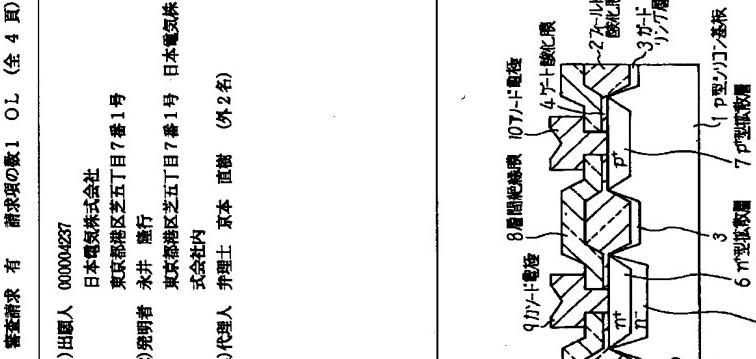
図1に示すように、まず、不純物濃度が1×10¹⁴~1×10¹⁶cm⁻³のp型シリコン基板1の表面を局部酸化して形成したフィールド絶縁膜5の下部に、不純物濃度が1×10¹⁶~1×10¹⁹cm⁻³で深さ0.2~1μmのp型ドリング層3を形成し、フィールド酸化膜2により区画された第1および第2の素子形成領域の表面に形成した深いn+型偏置層6を形成した二重偏置層7を形成する。

【0 0 1 8】

次に、第2の素子形成領域の表面に不純物濃度が1×10¹⁶~1×10¹⁹cm⁻³で深さ0.3~2μmのn-型偏置層5を形成し、このn-型偏置層5に重ねて、不純物濃度が1×10¹⁹~1×10²²cm⁻³で深さ0.1~0.5μmのn⁺型偏置層6を形成した二重偏置層7を形成する。

【0 0 1 9】

この場合、電流はドライン抵抗RD、ソーラス抵抗RSを介して流れたり、ドライン低抵抗RD、ソーラス抵抗RSが発熱する現象が起きた。



(54) [発明の名称] 半導体集積回路装置

(55) [要約]

【目的】 内部回路素子の耐圧よりも低い耐圧の保護素子をリチウムホール耐圧を利用してしたダイオードで形成する。
 【構成】 フィールド酸化膜2で素子分離された第1の素子形成領域にn-型偏置層5と、n⁺型偏置層6からなる2重偏置層7を形成し、フィールド酸化膜2の下に設けた第2の素子形成領域のp⁺型偏置層7を形成し、カソードのn⁺型偏置層6とを隣接させることでリチウムホール耐圧を内部トランジスタの耐圧よりも低くできる。

され。

【0 0 0 7】 (2) ドライン偏置層のジャンクションショット

ダイオードがブレイクダウンを起こす。

【0 0 0 8】 (3) 発生した電子・ホール対のホールが

ゲート電極下の電位を引き上げる。

【0 0 0 9】 (4) 寄生n-p-n型バイポーラトランジ

タBがオンすることでブレイクダウン後のオーバ・低抵抗を低下することができる。

【0 0 1 0】 この場合、電流はドライン抵抗RD、ソーラス抵抗RSを介して流れたり、ドライン低抵抗RD、ソーラス抵抗RSが発熱する現象が起きた。

び p^+ 型抵抗層7の上にコンタクトホールを形成し、このコンタクトホールを含む表面に金属膜を堆積してパターニングし、コンタクトホールの n^+ 型抵抗層6に接続するカソード電極9と p^+ 型抵抗層7に接続するアノード電極10とのそれぞれを形成する。

【0019】ここで、図示されてはいないが、カソード電極9は外部端子に接続されるとともに、保護されたトランジスタのゲート電極（保護素子が人力回路保護用に用いられるとき）、あるいは保護されたトランジスタのドレイン（保護素子が出力回路保護用に用いられるとき）等に接続される。

【0020】このように構成された半導体集積回路装置では、 n^+ 型抵抗層6が p 型ガードドレン層3と隣接しているため、空乏層のひび割れが制限され、リチウム酸化物が内部トランジスタより低い。よって、特に専用工程の追加を行うことなく、内部トランジスタより耐圧の低い保護ダイオードを形成することができる。また n 型抵抗層5を通らざる電流が流れるので、熱の発生も抑えられ、ジャンクション破壊は防止される。

【0021】

【発明の効果】以上説明したように本発明は、一導電型半導体基板の表面にフィールド酸化膜で区画された第1の素子形成領域に形成した低濃度の逆導電型抵抗層およびその上部に設け且つフィールド酸化膜の下部に設けた一導電型ガードドレン層と隣接された高濃度の逆導電型抵抗層により、高電圧ハルスがカソード電極5に印加された場合の空乏層の広がり方を内部トランジスタの高濃度の逆導電型抵抗層と一導電型ガードドレン層が離れている場合に比べて小さくし、リチウムアーチの不純物濃度が 1×10^{-3} ~ $2 \mu\text{m}$ で、 p 型ガードドレンの不純物濃度が 1×10^{-3} ~ $1 \times 10^{-2}\text{cm}^{-3}$ 、深さ 0.2 ~ $1 \mu\text{m}$ の場合、内部トランジスタの耐圧が 2.0 ~ 8.0V であるのに対して本発明の保護ダイオードの耐圧は 2 ~ 3.0V となる。

【0022】また、これらの抵抗層は、すべてセルフラインで形成できること、特別の工程を追加することなく、内部トランジスタと同じ工程で形成できることなる。

【0023】また、従来例のMOS型保護素子で必要であったゲート電極が省略でき、より小さい占有面積にて保護素子を形成することができる。しかも、面圧が内部トランジスタより低いことから、過大電流が内部トランジスタへ流れることはない。よって、従来例のように大面積で過大電流を分散させが必要となり、より小さい占有面積にて保護素子を形成できる。

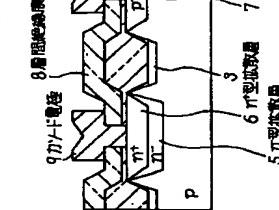
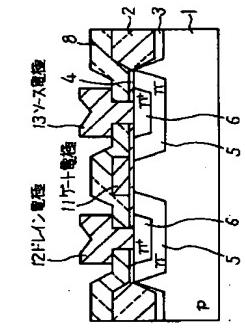
【0024】さらに、過大電流は高濃度 n 型抵抗層から p 型ガードドレン層に流れため、低濃度 n 型抵抗層を通らない。よって熱の発生も抑えられ、ジャンクション破壊が防止される。

【図1】本発明の一実施例を示す半導体チップの断面図。

【図2】従来の半導体集積回路装置の一例を示す半導体チップの断面図。

【図3】図2の等価回路を示す図。

【符号の説明】



【図3】

